

Translation from Japanese

(19) Japanese Patent Office (JP)

(12) Official Gazette for Unexamined Patent Applications (A)

(11) Japanese Unexamined Application [Kokai] Patent No.: **Hei 3(1991)-266398**

(43) Kokai Publication Date: November 27, 1991

(51) Int. Cl.⁵ Identification Nos. Intra-Bureau Nos.

H 05 F 3/06

7028-5G

3/04

D

7028-5G

Request for Examination: Filed

Number of Claims: 3 (9 pages total)

(54) Title of the Invention: Ion Balance Control Device for Static Eliminator

(21) Application No.: Hei 2(1990)-63895

(22) Filing Date: March 14, 1990

(72) Inventor: Nobuo Nomura, 1-604 Asahi Plaza, 3-12-3 Yanagibashi, Yamato-shi, Kanagawa-ken

(71) Applicant: Kasuga Electric Works Ltd., 2-16-18 Higashikamata, Ota-ku, Tokyo-to

(74) Agent: Shin'ichi Harada (Patent Attorney)

Specifications

1. Title of the Invention Ion Balance Control Device for Static Eliminator

2. Claim(s)

1. An ion balance control device for a static eliminator which generates positive/negative ions by applying a high positive/negative voltage to a positive and negative electrodes, respectively; said ion balance control device for a static eliminator characterized by being provided with an electric current-detecting electrode, arranged between the aforesaid positive and negative electrodes, an ion current-measuring circuit, which measures the ion current detected by said electric current-detecting electrode, and an adjusting circuit for adding/subtracting a voltage or pulse width applied to at least one of the aforesaid positive and negative electrodes.

2. The ion balance control device for a static eliminator of claim 1 characterized by being provided with a pulse voltage-applying circuit, which alternately applies a positive pulse voltage to the aforesaid positive electrode and a negative pulse voltage to the aforesaid negative electrode; the aforesaid ion current-measuring circuit respectively measuring the ion current when the positive pulse voltage is applied and when the negative pulse voltage is applied by using the pulse voltage-applying circuit.

3. The ion balance control device for a static eliminator of claim 2 characterized by being provided with an alarm circuit which generates an alarm when the ion current measured by the aforesaid ion current-

measuring circuit is at or below a predetermined value.

3. Detailed Description of the Invention

[Field of Industrial Application]

The present invention relates to an ion balance control device for generating an equal amount of positive/negative ions in a static eliminator which generates positive/negative ions by applying high positive/negative voltages to positive and negative electrodes, respectively.

[Prior Art]

As disclosed in the publication of, e.g., Japan Unexamined Patent Publication (Kokai) No. 61-290699, it is known that an imbalance in the ion current is detected by connecting the voltage-dividing resistors to high voltage resistors connected respectively to the outputs of two positive/negative high voltage generators, composing a potential divider of these resistors, and utilizing the fact that the currents conducted to the voltage-dividing resistors changes when the voltage of each high voltage generator becomes unbalanced.

[Problems to be Solved by the Invention]

However, merely fluctuations in the outputs of the positive/negative high voltage generators are detected, and a change in the ion current due to external factors, such as the fact that the positive/negative electrodes becoming contaminated, cannot be detected. Therefore, whether or not the amount of positive/negative ions generated actually is balanced cannot be detected directly, and a highly precise ion balance cannot be controlled.

An object of the present invention is to enable precise detection of changes in the ion current caused by external factors, such as the positive/negative electrodes becoming contaminated, and to control a highly precise ion balance.

[Means for Solving the Problems]

The ion balance control device of the present invention is an ion balance control device for a static eliminator provided with an electric current-detecting electrode, arranged between the positive and negative electrodes, an ion current-measuring circuit, which measures the ion current detected by said electric current-detecting electrode, and an adjusting circuit for adding/subtracting a voltage or pulse width applied to at least one of the positive and negative electrodes.

Furthermore, this ion balance control device is constituted so as to be provided with a pulse voltage-applying circuit, which alternately applies a positive pulse voltage to the positive electrode and a negative pulse voltage to the negative electrode; the aforesaid ion current-measuring circuit respectively measures the ion current when the positive pulse voltage is applied and when the negative pulse voltage is applied by using the pulse voltage-applying circuit. In this case, further, an alarm circuit which generates an alarm when the ion current measured by the ion current-measuring circuit is at or below a

predetermined value is provided.

[Effects]

The electric current-detecting electrode arranged between the positive and negative electrodes detects directly the ion current conducted between the positive and negative electrodes. The ion current thereof changes positively when there are mostly positive ions and negatively when there are mostly negative ions, corresponding to the difference in the amount of positive/negative ions. Therefore, by measuring the detected ion current using the ion current-measuring circuit, the difference in the polarity thereof and the amount of ions may be detected. By automatically adjusting the voltage applied to at least one electrode of the positive/negative electrodes with the adjusting circuit, or the pulse width, a positive/negative ion balance is engineered automatically.

[Working Examples]

A working example of the present invention will now be described in detail on the basis of the figures.

In Fig. 1, the static eliminator itself has a well-known structure in which both a needle-shaped positive electrode 1 and negative electrode 2 are arranged opposingly in predetermined intervals, the high positive and negative voltages generated by the respective positive/negative high voltage generating circuits 3 and 4 are rectified by respective rectifying circuits 5 and 6 and applied respectively to the positive electrode 1 and negative electrode 2 to generate positive and negative ions, thus eliminating the static charge of a charged object. In the present invention, the ion balance control device 8 in such a static eliminator is one in which a needle-shaped electric current-detecting electrode 9 is arranged in the middle of the positive electrode 1 and negative electrode 2, the ion current is detected by this electric current-detecting electrode 9, measured digitally by a microcomputer, and the positive/negative high voltage generating circuits 3 and 4 are controlled automatically by this measurement value. The ion balance control device 8 is shown specifically in Fig. 2.

In Fig. 2, the ion current detected by the electric current-detecting electrode 9 is amplified by 2-step amplifying circuits 10 and 11, and depending on the number of ions of each polarity at point a on the output side of the amplifying circuit 11, a characteristic voltage is not produced, as shown in Fig. 3. That is, the solid curve shows when the number of positive/negative ions between the positive/negative electrodes 1 and 2 is the same, a dot and dash line shows when there are mostly positive ions, and a dashed line shows when there are mostly negative ions.

The output from the amplifying circuit 11 is level-shifted, as shown in Fig. 4, by a level-shifting circuit 12 for analog/digital conversion next, after which it is converted to numerical data by an A/D conversion circuit 14 through a sampling and holding circuit 13. The A/D converted numerical data at point c is determined so that it is at, e.g., FFH (hexadecimal), the highest value, when there are mostly positive ions, at 80H when the number of positive and negative ions are the same, and at '00H,' the lowest value, when there are mostly negative ions. The A/D converted numerical data is fetched into the microcomputer from the input terminal D₁ of an I/O port 15, and stored in RAM 17, as described later, in accordance with control of a CPU 16 thereof, and the polarities and numerical values of the ions

detected by the electric current-detecting electrode 9 are measured last by the CPU 16. The amount of control for the above-mentioned high voltage generating circuits 3 and 4 is computed from the measurement value thereof, and the numerical number thereof is outputted from the output terminal D₂ of the I/O port 15. Moreover, the reference symbol '18' is a ROM.

The amount of control (numerical data) outputted from the output terminal D₂ is converted to an analog voltage by a D/A conversion circuit 19, amplified by an amplifying circuit 20, and subsequently level-shifted by a level-shifting circuit 21. Now, assuming the numerical data at point d prior to D/A conversion is 'FFH,' which is the amount of control with respect to the highest value when there are mostly positive ions, '80H,' which is the amount of control when the number of positive and negative ions are the same, and '00H,' which is the amount of control with respect to the lowest value when there are mostly negative ions, the three level-shifted voltages at point e amplified by the amplifying circuit 20 are, e.g., 10V, 5V, and 9V, respectively, and the level-shifted voltages at point f are 11V, 16V, and 21V, respectively.

The above-mentioned positive/negative high voltage generating circuits 3 and 4 are adjusted respectively by corresponding voltage regulators 22 and 23, and the voltages applied to the respective electrodes 1 and 2 are determined. However, in this example, the ion balance is engineered by setting the voltage applied to the negative electrode 2 constant and only varying the voltage applied to the positive electrode 1. Therefore, the output from the level-shifting circuit 21 is inputted into the positive-side voltage regulator 22 but not into the negative-side voltage regulator 23. The output from the positive-side voltage regulator 22 is converted in a range of, e.g., 15V to 24V in accordance with the voltage from the level-shifting circuit 21, but that of the negative-side voltage regulator 23 is constant (e.g., 18V).

Incidentally, in this ion balance control device, a DC static elimination mode, in which respective positive/negative DC high voltages are applied, to the positive/negative electrodes 1 and 2, as shown in Fig. 5, and a pulse static elimination mode, in which a positive pulse voltage is applied to the positive electrode 1, and alternately, a negative pulse voltage is applied to the negative electrode 2, as shown in Fig. 6, can be switched by the DC/pulse static elimination changeover switch 24, and in the case of the pulse static elimination mode, both 0V and the above-mentioned voltage values are repeated alternately with the voltage regulators 22 and 23. The on/off signal of the switch 24 is inputted into the CPU 16 by way of the input terminal D₃ of the I/O port 15.

In the above configuration, if, e.g., dust or the like sticks to the positive or negative electrode 1 or 2, the amount of change in the positive ion current and the amount of change in the negative ion current differ; hence, the positive and negative ions become unbalanced, and as mentioned above, the characteristic voltage is produced at point a, converted to numerical data, and fetched into the microcomputer. If this numerical data is higher than, e.g., 80H at the balanced point, or 85H, it is judged that the number of positive ions is higher, and numerical data larger than 80H is outputted to the D/A conversion circuit 19. Thus, the voltage at point f changes to the low side, and the output voltage of the voltage regulator 22 decreases. As it decreases, the voltage of the high voltage-generating circuit 3 also decreases. The voltage of the high negative voltage-generating circuit 4 is constant; hence, the ion balance is achieved.

Incidentally, in the case of DC static elimination, a high voltage is always applied to the electrode 1 and electrode 2, as above; hence, the amount of change between an initial ion current in which these electrodes are not contaminated and an ion current when they are contaminated cannot be judged. Therefore, although an ion balance is engineered in the above configuration only, a change in the reduction of the amount of ions cannot be detected in the DC static elimination mode.

Therefore, in this ion balance control device, a change in the ion amount can be detected according to the following configuration in the DC static elimination mode, which is described next.

The constant periods of clock pulses detected at point g in Fig. 2, in short, from an oscillator 25 are counted by a counter 26, as in Fig. 7(A), and two 2 kinds of frequency-divided pulses are outputted from this oscillator 25. That is, a pulse is outputted from point h on one side, as in Fig. 7(B), which pulse is inputted into the aforesaid sampling and holding circuit 13 as a sample and hold control signal, and also, inputted into CPU 16 via the input terminal D₆ of the I/O port 15 to confirm this sampling and holding. It is inputted, moreover, into the sampling and holding circuit 13 after being inverted by a node circuit 27. A pulse is outputted from point i on the other side, as shown in Fig. 7(C), which pulse is inputted into the aforesaid positive-side voltage regulator 22 as an on/off signal, and also, inverted into a pulse at point j by a node circuit 28, and inputted into the negative-side voltage regulator 23 as an on/off signal, as in Fig. 7(D). The pulse from point i, moreover, is inputted into the CPU 16 via the input terminal D₇ of the I/O port 15 as a signal for judging whether the measured ion current is positive or negative.

The pulses in Figs. 7(C) and (D) are inputted into the voltage regulators 22 and 23 through respective gate circuits 29 and 30, and the voltage regulators 22 and 23 are turned on/off thereby only when the pulse static elimination control signal (signal at point k) shown in Fig. 7(E) is inputted into the gate circuits 29 and 30 from the output terminal D₅ of the I/O port 15. These voltage regulators 22 and 23, moreover, are both forcibly turned off if the high voltage stop signal (signal at point l) shown in Fig. 7(F) is outputted from the input terminal D₄ of the I/O port 15, and high voltage is stopped from being applied to both positive/negative electrodes 1 and 2. A static elimination performance reduction warning buzzer 31 is connected to the input terminal D₈ of the I/O port 15 and a cleaning warning lamp 32 is connected to input terminal D₉ of the I/O port 15. Moreover, the signals from the output terminals D₄, D₅, D₈, and D₉ of the I/O port 15 are obtained from the CPU 16 as well.

In order to measure the ion current detected by the electric current-detecting electrode 9 in constant periods, the static elimination control signal (signal at point k) in Fig. 7(E) is outputted in constant periods (e.g., 1-hour intervals or intervals of several minutes). When it is high, the pulses in Figs. 7 (C) and (D) are inputted into the voltage regulators 22 and 23, the application of high positive/negative voltages into the positive/negative electrodes 1 and 2 are turned on/off alternately, and pulse static elimination is performed.

In this case, the CPU 16 confirms inversion of the pulse in Fig. 7(B), and when the pulse is high, it fetches the numerical data (ion current) from the A/D conversion circuit 14 and stores it in RAM 17. Moreover, it also fetches the pulse in Fig. 7(C), and depending whether this pulse is high or it is low, it judges whether or not the numerical data from the A/D conversion circuit 14 (ion current) is data when a high positive voltage is applied or a high negative voltage is applied. The CPU 16 compares that numerical data with 80H at the balance point, and depending on the difference thereof, outputs the

control amount to the D/A conversion circuit 19, as mentioned above.

As the ion current decreases because of contamination or the like of the positive/negative electrodes 1 and 2, the numerical data from the A/D conversion circuit 14 differs gradually from 80H at the balance point, and the chronological change can be judged by how much (percent) it has decreased from the start. For example, as shown in Fig. 8, assuming the cleaning warning point is at a "50 percent decrease from the highest value" when the balance point of the positive/negative ion current is 80H, the highest value of the positive initial ion current is FFH, the highest value of the initial negative ion current is 00H, the positive ion current is C0H, and the negative ion current is 40H and the forced stop point is at a "70 percent decrease from the highest value" when the positive ion current is A0H and the negative ion current is 60H, a cleaning warning signal is outputted from the output terminal D₉ of the I/O port 15 when the ion current decreases to the cleaning warning point or less, and the lamp 32 blinks, and further, when the ion current decreases to the forced stop point or less, a stop signal is outputted from the output terminal D₄ and a performance reduction warning signal is outputted from the output terminal D₉, and the buzzer 31 may go off simultaneous to applying high voltages to the positive/negative electrodes 1 and 2.

The flow of control performed by the CPU 16, as mentioned above, is described next in accordance with the flowcharts in Figs. 9 to 13.

In Fig. 9 (main routine), the I/O port 15 is initialized in Step 50, 80H, which is the balance value, is outputted to the D/A conversion circuit 19 from the output terminal D₂ in Step 51, and also, it is stored in the 1st memory of RAM 17, and moreover, the output from the output terminal D₄ is set high in Step 52 next, the outputs from the output terminals D₅, D₈, and D₉ are set low, after which the input into input terminal D₃ is fetched in Step 53, and in Step 54, set low or high, in short, whether or not the DC/pulse static elimination changeover switch 24 is on the DC static elimination side or pulse static elimination side is judged. In the case of a pulse static elimination, the control enters the pulse static elimination routine in Fig. 10, and in the case of DC static elimination, it enters the DC static elimination routine, respectively.

In the case of the pulse static elimination in Fig. 10, the output from the output terminal D₅ is high in Step 60 (pulse static elimination mode), after which the inspection sub-routine in Fig. 13 is called in Step 61. That is, when the DC/pulse static elimination changeover switch 24 is switched, the size of the ion current is inspected, as described later. The timer is set (for, e.g., 30 minutes) in Step 62 next, after which the measurement routine in Fig. 12 is called in Step 63.

When it is called, whether or not the input from the input terminal D₆ in Fig. 12 is high, in short, is in the sampling and holding interval is judged in Step 80 first, and if it is in the sampling and holding interval, the input from the input terminal D₁, in short, numerical data from the A/D conversion circuit 14 is fetched and stored in a 2nd memory in step 81. Whether or not the input from the input terminal D₇ is low, in short, it is a high positive voltage application time is judged in Step 82. If it is a high positive voltage application time, in Step 83, whether or not it is in a sampling and holding interval is judged again. If it is in a sampling and holding interval, in Step 84, the numerical data from the A/D conversion circuit 14 is fetched again and stored separately in a 3rd memory. Whether or not the input from the input terminal D₇ is high, in short, it is a high negative voltage application time in Step 85. If it is a high

negative application time, control proceeds to Step 86 where the deviation of both the positive/negative electrodes from the balance point, in short, 80H, which is the balance point, is deducted from the contents in 2nd memory and the contents in the 3rd memory are deducted from 80H. Now, (the contents in 2nd memory)-80H=A and 80H-(contents in 3rd memory)=B.

Whether or not A=B is judged in Step 87₁ next. If A=B, the routine returns to the beginning. Otherwise, whether or not A>B or A<B is judged in Step 87₂. When A>B, the contents in 1st memory are counted down in Step 88 and when A<B, the contents in 1st memory are counted up in Step 89 and the routine returns to the beginning.

Control thus proceeds to Step 64 from Step 63 in Fig. 10 via the measurement routine, and the contents in 1st memory, in short, the control amount is outputted to the D/A conversion circuit 19 through output terminal D₂ to control the voltage regulator 22, and as mentioned above. Whether or not A=B is judged in Step 65 next. If A=B, in short, the deviation from the balance point is the same positively and negatively, the inspection sub-routine in Fig. 13 is called, control returns to Step 62, and Steps 63 to 65 are repeated in the timer-setting time frame.

If the inspection sub-routine in Fig. 13 is called, the output from the output terminal D₅ is high (pulse static elimination mode) in Step 90, after which the measurement sub-routine in Fig. 12 is called in Step 91, and the numerical data for the positive/negative ion currents are stored in the 2nd and 3rd memories, respectively, as mentioned above. Whether or not the DC/pulse static elimination changeover switch 24 is on the DC static elimination side or pulse static elimination side is judged in Step 92 next. When control is on the DC static elimination side, the output from the output terminal D₅ is low in Step 93 and the routine returns to the DC static elimination mode, after which, a judgment is made as to whether or not the contents in 2nd memory are C0H or less in Step 94 and as to whether or not the contents in 3rd memory are 40H or less in step 95, in short, as to whether or not the ion currents are reduced until the cleaning warning point is exceeded. If they are not reduced, cleaning is done as is, but if they are reduced, a judgment is made as to whether or not the ion currents pass the forced stop point, in short, whether or not the contents in 2nd memory are A0H or less in Step 96 and whether or not the contents in 3rd memory are 60H or greater in Step 97 next. When the cleaning warning point is exceeded, the output from the output terminal D₉ is high in Step 98 and the lamp 32 blinks. When the forced stop point is exceeded, the output from the output terminal D₄ is low in Step 99, the application of high voltage stops, and also, the output from the output terminal D₈ is high in Step 100 and the buzzer 31 goes off.

In the case of DC static elimination in Fig. 11, the output from the output terminal D₅ is low in Step 70 (DC static elimination mode), after which the inspection sub-routine is called in Step 71, the ion current is inspected when the DC/pulse static elimination changeover switch 24 changes over, as mentioned above, and the timer is set in Step 72. The output from the output terminal D₅ is subsequently high in Step 73 in the pulse static elimination mode temporarily, and also, the measurement sub-routine is called, the deviation between the measurement of the positive/negative ion currents and the balance point is found in the same way as mentioned above, and the contents in 1st memory, in short, the control amount is outputted to the D/A conversion circuit 19 from the output terminal D₂ in Step 74 to control the voltage regulator 22 in the same way as mentioned above. Whether or not A=B is judged in Step 75. If A=B, in short, if the deviation from the balance point is the same positively and negatively, the output from the output terminal D₅ is low in Step 76, control returns to the DC static

elimination mode, after which the inspection sub-routine in Step 77 is called, control returns to Step 72, and Steps 73 to 77 are repeated in the timer-setting time frame.

Moreover, in the working example above, ion balance is engineered by adjusting only the voltage applied to one of the positive or negative electrode (the positive electrode), but both electrodes may be adjusted. Moreover, the ion balance is engineered also by adjusting the pulse width, not the voltage.

[Advantages of the Invention]

As described above, in the present invention, the ion current conducted between the positive electrode and negative electrode is detected directly by an electric current-detecting electrode arranged between the positive and negative electrodes, the value thereof is measured by the ion current-measuring circuit, and in accordance with the measurement value thereof, the voltage applied to at least one of the positive or negative electrode, or the pulse width, is adjusted automatically by the adjusting circuit.

As a consequence, whether or not the positive/negative ions actually generated are balanced can be detected directly even if the ion current changed by an external factor, such as the positive/negative electrodes becoming contaminated, and a highly precise ion balance can be controlled.

According to claim 2, a chronological change in the ion current can be detected and according to claim 3, a warning is emitted when the ion current decreases to a predetermined value or less.

4. Brief Description of the Drawings

Fig. 1 is a conceptual diagram depicting the relationship between the ion balance control device and static eliminator in the present invention; Fig. 2 is a block diagram of an example of this ion balance control device; Fig. 3 is a graph showing the output voltage at point a in Fig. 2; Fig. 4 is a graph showing the output voltage at point b in Fig. 2; Fig. 5 is a waveform of the voltages applied to the positive/negative electrodes during DC static elimination; Fig. 6 is a waveform of the voltages applied during positive static elimination; Figs. 7(A) to (F) are waveforms of outputs at points g to l in Fig. 2; Fig. 8 is a graph showing respective control threshold values with respect to the measured ion current values; and Figs. 9 to 13 are flowcharts depicting flow of control by a CPU.

1: positive electrode; 2: negative electrode; 9: electric current-detecting electrode; 16: CPU; 22, 23: voltage regulators; 25: oscillator; 26: counter; 31: static elimination performance reduction warning buzzer; 32: cleaning warning lamp

Applicant: Kasuga Electric Works Ltd.

Agent: Shin'ichi Harada (Patent Attorney)

Fig. 1

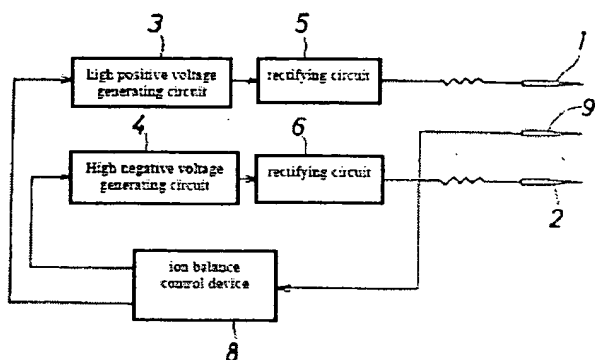


Fig. 3

Output at point a

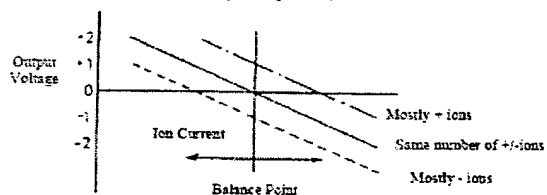


Fig. 4

Output at point b

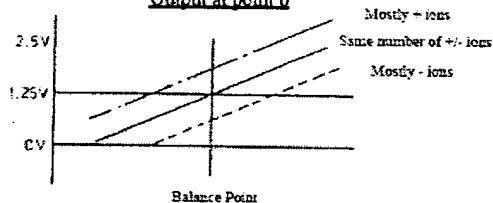


Fig. 8

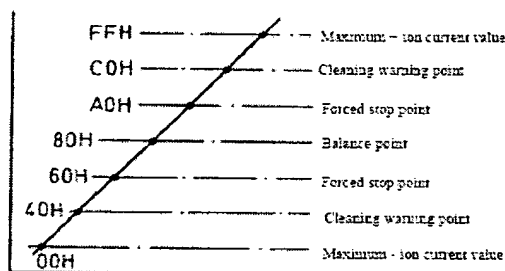
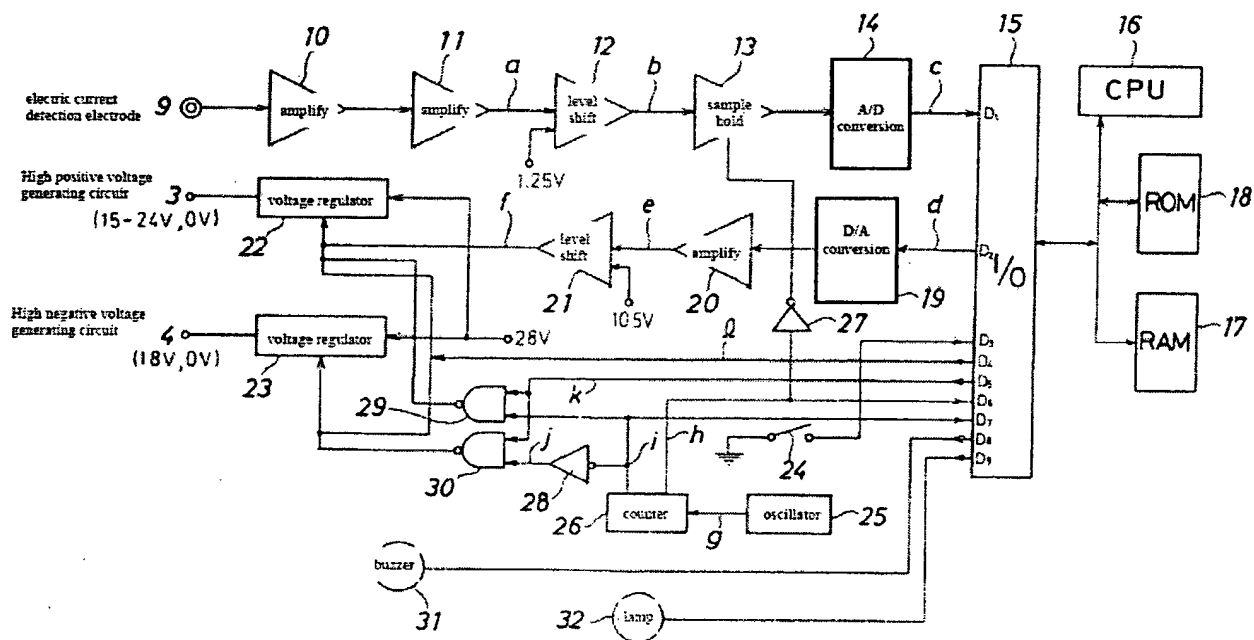


Fig. 2



```

graph TD
    Start([start]) --> Init[50: initialize I/O port]
    Init --> OutputEH[51: output EOH from D0 and store EOH in Io memory]
    OutputEH --> OutputData[52: output from D0, "H," outputs from D1, D2, D3, "L"]
    OutputData --> FetchInput[53: fetch input from D0]
    FetchInput --> Decision{54: input from D0 "L"}
    Decision -- YES --> DCStaticElimination[DC static elimination]
    Decision -- NO --> PulseStaticElimination[Pulse static elimination]
  
```

The flowchart illustrates the DC static elimination process. It begins with a 'start' terminal, followed by step 50: 'initialize I/O port'. Step 51: 'output EOH from D₀ and store EOH in I^o memory' leads to step 52: 'output from D₀, "H," outputs from D₁, D₂, D₃, "L"'. Step 53: 'fetch input from D₀' leads to a decision point 54: 'input from D₀ "L"'. If the input is 'YES', the process proceeds to 'DC static elimination'. If the input is 'NO', the process proceeds to 'Pulse static elimination'.


```
graph TD
    Start([Pulse static elimination]) --> 60[output from D, "H"  
(pulse static elimination mode)]
    60 --> 61[call "inspection"]
    61 --> 62[Set timer]
    62 --> 63[call "measurement"]
    63 --> 64[output contents in 1"  
memory from D]
    64 --> 65{A = B}
    65 -- YES --> 66[call "inspection"]
    65 -- NO --> 63
```

The flowchart illustrates the pulse static elimination method. It begins with a process labeled "Pulse static elimination" (60), which outputs from D, "H" (pulse static elimination mode). This is followed by a call to "inspection" (61). A timer is then set (62). The process then enters a loop where it calls "measurement" (63), outputs contents in 1" memory from D (64), and checks if A equals B (65). If the condition is met (YES), it calls "inspection" (66). If not (NO), it loops back to the "measurement" step (63).

```

graph TD
    Start([Start]) --> 70[70: output from D, "L"  
(DC static elimination mode)]
    70 --> 71[71: call "inspection"]
    71 --> 72[72: set timer]
    72 --> 73[73: output from D, "H"  
(pulse static elimination mode)  
call "measurement"]
    73 --> 74[74: Output contents in 1st  
memory from D]
    74 --> 75{75: A = B}
    75 -- YES --> 76[76: output from D, "L"  
(DC static elimination mode)]
    75 -- NO --> 73
    76 --> 77[77: call "inspection"]
    77 --> End([End])
  
```

point g  26

point i  $D_7 \oplus$


point j. 

Fig. 12

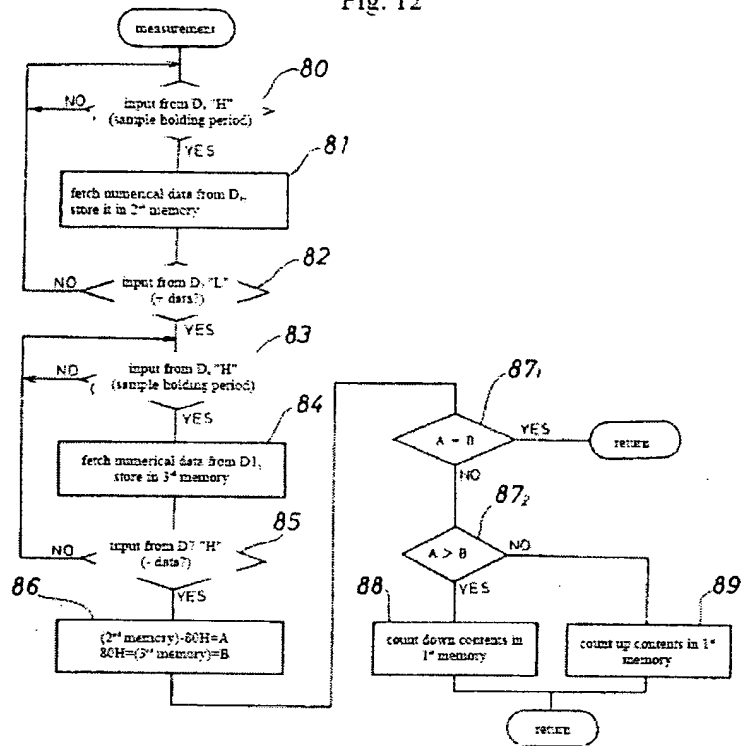
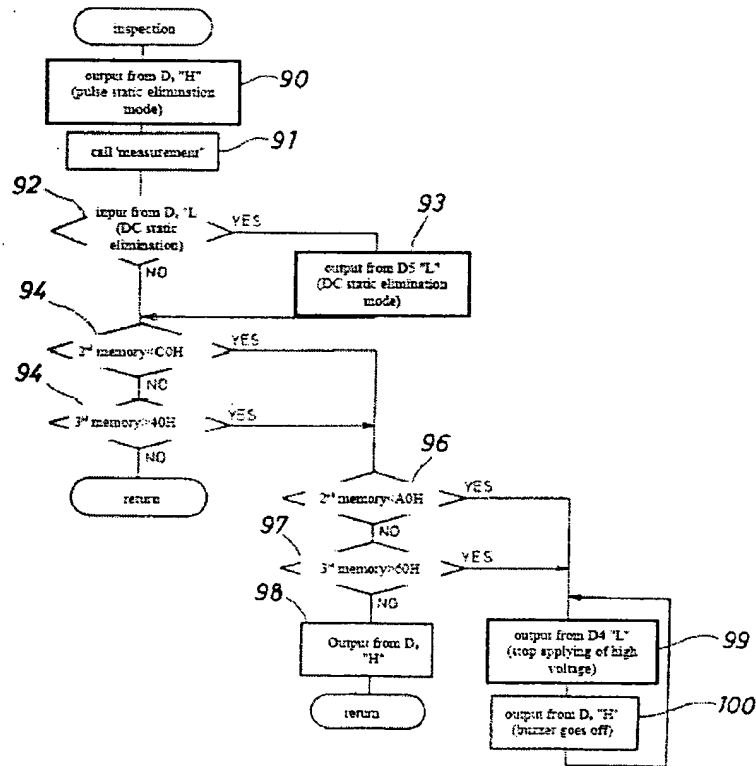


Fig. 13



⑫ 公開特許公報(A)

平3-266398

⑮ Int.Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成3年(1991)11月27日

H 05 F 3/06
3/04

D

7028-5 G
7028-5 G

審査請求 有 請求項の数 3 (全9頁)

⑭ 発明の名称 除電器のイオンバランス制御装置

⑰ 特 願 平2-63895

⑱ 出 願 平2(1990)3月14日

⑲ 発 明 者 野 村 信 雄 神奈川県大和市柳橋3-12-3 朝日プラザ1-604

⑳ 出 願 人 春日電機株式会社 東京都大田区東蒲田2丁目16番18号

㉑ 代 理 人 弁理士 原田 信市

明 細 書

1 発明の名称

除電器のイオンバランス制御装置

2 特許請求の範囲

1. プラス電極とマイナス電極にそれぞれプラスとマイナスの高電圧を印加してプラス・マイナスのイオンを発生させる除電器において、前記プラス電極とマイナス電極との間に配置された電流検出電極と、該電流検出電極で検出されたイオン電流を測定するイオン電流測定回路と、その測定値に応じて、前記プラス電極とマイナス電極のうちの少なくとも一方の電極に印加する電圧またはパルス幅を加減する調整回路とを備えたことを特徴とする除電器のイオンバランス制御装置。
2. 前記プラス電極にプラスのパルス電圧、前記マイナス電極にマイナスのパルス電圧をプラス・マイナス交互に印加するパルス電圧印加回路を備え、前記イオン電流測定回路は、パルス電圧印加回路によるプラスのパルス電圧印加時及

びマイナスのパルス電圧印加時にイオン電流をそれぞれ測定することを特徴とする請求項1記載の除電器のイオンバランス制御装置。

3. 前記イオン電流測定回路で測定されたイオン電流が所定値以下のとき警報を発生する警報回路を備えたことを特徴とする請求項2記載の除電器のイオンバランス制御装置。

3 発明の詳細な説明

【産業上の利用分野】

本発明は、プラス電極とマイナス電極にそれぞれプラスとマイナスの高電圧を印加してプラス・マイナスのイオンを発生させる除電器において、プラス・マイナスのイオンを等量に発生させるためのイオンバランス制御装置に関する。

【従来の技術】

従来のこの種のイオンバランス装置としては、例えば特開昭61-290699号公報に開示されているように、プラス・マイナスの両高電圧発生器の出力にそれぞれ接続された高電圧抵抗に分

圧用抵抗を接続してこれら抵抗で分圧器を構成し、両高電圧発生器の電圧がアンバランスになったときに分圧用抵抗に流れる電流が変化することを利用して、プラス・マイナス両イオン電流のアンバランスを検出するものが知られている。

【発明が解決しようする課題】

しかし、これでは、プラス・マイナスの両高電圧発生器の出力変動を検出しているに過ぎず、プラス・マイナスの電極が汚れる等の外部的要因によるイオン電流の変化は検出できない。従って、現に発生しているプラス・マイナスのイオン量がバランスしているかどうかを直接検知できなく、精度の高いイオンバランス制御を行えない。

本発明の目的は、プラス・マイナスの電極が汚れる等の外部的要因によるイオン電流の変化も的確に検知でき、精度の高いイオンバランス制御を行えるようにすることにある。

【課題を解決するための手段】

本発明によるイオンバランス制御装置は、プラス電極とマイナス電極との間に配置された電流検

出電極と、該電流検出電極で検出されたイオン電流を測定するイオン電流測定回路と、その測定値に応じて、プラス電極とマイナス電極のうちの少なくとも一方の電極に印加する電圧またはパルス幅を加減する調整回路とを備えてなるものである。

さらにこのイオンバランス制御装置には、プラス電極にプラスのパルス電圧、マイナス電極にマイナスのパルス電圧をプラス・マイナス交互に印加するパルス電圧印加回路を備え、前記イオン電流測定回路は、パルス電圧印加回路によるプラスのパルス電圧印加時及びマイナスのパルス電圧印加時にイオン電流をそれぞれ測定するように構成することができる。この場合、さらにイオン電流測定回路で測定されたイオン電流が所定値以下のとき警報を発生する警報回路を備えることができる。

【作 用】

プラス電極とマイナス電極との間に配置された電流検出電極は、プラス電極とマイナス電極との間に流れるイオン電流を直接検出する。そのイオ

ン電流は、プラスイオンが多いとプラスに、マイナスイオンが多いとマイナスに推移し、しかもプラス・マイナスのイオン量の差に応じたものとなる。そこで、この検出されたイオン電流をイオン電流測定回路で測定すると、その極性及びイオン量の差を検知でき、その測定値に応じて、プラス電極とマイナス電極のうちの少なくとも一方の電極に印加する電圧またはパルス幅を調整回路で自動調整すれば、自動的にプラス・マイナスのイオンバランスが図れる。

【実 施 例】

以下、本発明の一実施例を図面に基づき詳細に説明する。

第1図において除電器自体は、いずれも針状のプラス電極1とマイナス電極2とを所定の間隔で対向配置し、プラス・マイナスそれぞれの高圧発生回路3、4で発生したプラス高電圧とマイナス高電圧を各整流回路5、6で整流してプラス電極1とマイナス電極2とにそれぞれ印加し、プラスイオンとマイナスイオンを発生させて帯電物体を

除電する公知の構造である。かかる除電器において、本発明によるイオンバランス制御装置8は、プラス電極1とマイナス電極2との中間に針状の電流検出電極9を配置し、該電流検出電極9でイオン電流を検出してマイクロコンピュータによりデジタル的に測定し、その測定値に応じてプラス・マイナスの高圧発生回路3、4を自動制御するもので、第2図に本イオンバランス制御装置8を具体的に示す。

第2図において、電流検出電極9で検出されたイオン電流は2段の増幅回路10、11で増幅され、増幅回路11の出力側のa点に両極性のイオンの多少に応じて第3図に示すような特性の電圧が生ずる。すなわち、プラス・マイナス両電極1、2間のプラスイオンとマイナスイオンとが同じ時は実線、プラスイオンが多い時は一点鎖線、マイナスイオンが多い時は点線となる。

増幅回路11の出力は、次のアナログ・デジタル変換のためにレベルシフト回路12により第4図に示すようにレベルシフトされた後、サンプルホー

ルド回路13を介しA-D変換回路14によって数値データに変換される。A-D変換されたc点の数値データは、プラスイオンが多い時の最大値で例えばFFH(16進)、プラスイオンとマイナスイオンが同じ時で80H、マイナスイオンが多い時の最小値で00Hとなるように定められる。A-D変換された数値データはI/Oポート15の入力端子D_iからマイクロコンピュータへ取り込まれ、そのCPU16の制御に従いRAM17に後述のように記憶され、電流検出電極9で検出されたイオン電流の極性及び数値がCPU16により最終的に測定される。そして、その測定値から上記プラス・マイナスの高圧発生回路3、4の制御量が演算され、その数値データがI/Oポート15の出力端子D_oから出力される。なお、符号18はROMである。

出力端子D_oから出力された制御量(数値データ)はD-A変換回路19によってアナログの電圧に変換され、増幅回路20によって増幅された後、レベルシフト回路21によってレベルシフトされる。

24Vの範囲で変化するが、マイナス側の電圧レギュレータ23は一定(例えば18V)である。

ところで、本イオンバランス制御装置では、プラス・マイナスの電極1、2に第5図に示すようにそれぞれプラス・マイナスの直流高電圧を印加する直流除電モードと、第6図に示すようにプラス電極1にプラスのパルス電圧、マイナス電極2にマイナスのパルス電圧をプラス・マイナス交互に印加するパルス除電モードとを、直流・パルス除電切換スイッチ24により切り換えることができ、パルス除電モードの場合には、両電圧レギュレータ22、23とも0Vと上記の電圧値とを交互に繰り返すようになっている。スイッチ24のオン・オフ信号はI/Oポート15の入力端子D_iを通じてCPU16へ入力される。

上記のような構成において、プラスまたはマイナスの電極1、2に例えばゴミ等が付着すると、プラスのイオン電流の変化量とマイナスのイオン電流の変化量とが違いため、プラス・マイナスのイオンがアンバランスとなり、前述したような特

いま、D-A変換前のd点の数値データを、プラスイオンが多い時の最大値に対する制御量でFFH、プラスイオンとマイナスイオンが同じ時の制御量で80H、マイナスイオンが多い時の最小値に対する制御量で00Hとすると、増幅回路20で増幅されたe点の3つの場合の電圧はそれぞれ例えば10V、5V、0Vとなり、レベルシフトされたf点の電圧はそれぞれ11V、16V、21Vとなる。

上記プラス・マイナスの高圧発生回路3、4は、それぞれに対応する電圧レギュレータ22、23で調整されてそれぞれの電極1、2に印加する電圧値を決定されるが、本例においては、マイナス電極2の印加電圧は一定とし、プラス電極1のみ印加電圧を可変としてイオンバランスを図ろうとするもので、そのためレベルシフト回路21の出力はプラス側の電圧レギュレータ22に入力されるが、マイナス側の電圧レギュレータ23には入力されない。プラス側の電圧レギュレータ22の出力は、レベルシフト回路21からの電圧に従い例えば15Vから

性の電圧がa点に生じ、数値データに変換されてマイクロコンピュータに取り込まれる。その数値データが例えばバランス点の80Hより多い85Hであれば、プラスのイオンが多いと判断してD-A変換回路19へは80Hより大きい数値データが出力される。これによりf点の電圧は低い方へ変化し、電圧レギュレータ22の出力電圧は低下する。これが低下するとそれに応じてプラス高圧発生回路3の電圧も低下する。このときマイナス高圧発生回路4の電圧は一定であるため、イオンバランスがとれることになる。

ところで、直流除電の場合には、上記のようにプラス電極1とマイナス電極2に常に高電圧が印加されているので、これら電極が汚れていない初期のイオン電流と汚れたときのイオン電流との変化量を判断することはできない。従って、上記のような構成のみであると、イオンバランスは図れるが、直流除電モード時にイオン量の減少推移は検知できない。

そこで、本イオンバランス制御装置では、直流

除電モードでも次のような構成によりイオン量の変化を検知できるようにしているもので、次にそれについて説明する。

第2図のg点、つまり発振器25から出力された第7図(A)のような一定周期のクロックパルスはカウンタ26によりカウントされ、該カウンタ26から分周された2種のパルスが出力される。すなわち、一方のh点からは第7図(B)のようなパルスが出力され、このパルスは、前記サンプル・ホールド回路13へサンプル・ホールド制御信号として入力されるとともに、そのサンプル・ホールドの確認のためにI/Oポート15の入力端子D₁を通じてCPU16へも入力される。なお、サンプル・ホールド回路13に対してはノット回路27で反転してから入力される。他方のi点からは同図(C)に示すようなパルスが出力され、該パルスは、前記プラス側の電圧レギュレータ22へオン・オフ信号として入力されるとともに、マイナス側の電圧レギュレータ23には、ノット回路28で反転されてj点で同図(D)のようなパルスとなって同様に

D₂、D₃、D₄、D₅からの信号もCPU16から得られる。

電流検出電極9で検出されたイオン電流を一定周期で測定するため、第7図(E)のパルス除電制御信号(k点の信号)は一定の周期(例えば1時間間隔または数分間隔で出力される。これがHIGHになると、同図(C)及び(D)のパルスが電圧レギュレータ22、23に入力され、プラス・マイナスの電極1、2へのプラス・マイナスの高電圧印加が交互にオン・オフされパルス除電が行われる。

この場合、CPU16は同図(B)のパルスの反転を確認してHIGHのときにA-D変換回路14からの数値データ(イオン電流)を取り込んでRAM17に記憶する。また、同図(C)のパルスも取り込み、それがHIGHであるかLOWであるかによりA-D変換回路14からの数値データ(イオン電流)が、プラス高電圧印加時のものであるかマイナス高電圧印加時のものであるかを判断する。そして、CPU16はその数値データをバラン

ス・オフ信号として入力される。また、i点からのパルスは、I/Oポート15の入力端子D₁を通じてCPU16には、測定イオン電流がプラスかマイナスかを判断するための信号として入力される。

同図(C)及び(D)のパルスは、それぞれゲート回路29、30を介して電圧レギュレータ22、23に入力され、これらパルスによる電圧レギュレータ22、23のオン・オフは、ゲート回路29、30にI/Oポート15の出力端子D₁から同図(E)に示すパルス除電制御信号(k点の信号)が入力されたときだけ行われる。また、これら電圧レギュレータ22、23は、I/Oポート15の出力端子D₁から同図(F)に示す高圧ストップ信号(l点の信号)が出力されるといずれも強制的にオフにされ、プラス・マイナス両電極1、2への高電圧印加が停止するようになっている。I/Oポート15の出力端子D₁には除電性能低下警報用ブザー31、出力端子D₂にはクリーニング警報用ランプ32が接続されている。なお、I/Oポート15の出力端子

ス点の80Hと比較し、その差に応じた制御量を上記のようにD-A変換回路19へ出力し、イオンバランス制御を行う。

プラス・マイナスの電極1、2の汚れ等によりイオン電流が減少するに従い、A-D変換回路14からの数値データはバランス点の80Hから次第に離れるため、初期より何パーセント減少したかの経時的変化を判断できる。例えば、第8図に示すようにプラス・マイナスのイオン電流のバランス点を80H、初期のプラスイオン電流の最大値をFFFH、初期のマイナスイオン電流の最大値を00Hとし、プラスイオン電流がC0H、マイナスイオン電流が40Hとなったとき(最大値より50パーセント減少)をクリーニング警報点、プラスイオン電流がA0H、マイナスイオン電流が60Hになったとき(最大値より70パーセント減少)を強制停止点とすると、クリーニング警報点以下に減少したときI/Oポート15の出力端子D₁からクリーニング警報信号を出力してランプ32を点滅させ、さらに強制停止点以下に減少したと

き出力端子D₁から停止信号、出力端子D₂から性能低下警報信号を出力してプラス・マイナスの電極1、2の高電圧印加を停止すると同時にブザー31を鳴動させることができる。

次に、CPU16によって行われる上記のような制御の流れを第9図ないし第13図のフローチャートに従って説明する。

第9図(メインルーチン)において、ステップ50でI/Oポート15をイニシャライズした後、ステップ51で出力端子D₁からD-A変換回路19にバランス値である80Hを出力するとともに、それをRAM17の第1メモリに記憶し、また次のステップ52で出力端子D₁の出力をHIGH、出力端子D₂、D₃及びD₄の出力をLOWとした後、ステップ53で入力端子D₁の入力を取り込み、ステップ54でそれがLOWかHIGH、つまり直流・パルス除電切換スイッチ24が直流除電側かパルス除電側かを判断する。パルス除電の場合には第10図のパルス除電ルーチンへ、直流除電の場合には第11図の直流除電ルーチンへそれぞれ入る。

D変換回路14からの数値データを再び取り込み、これを別に第3メモリに記憶する。この後、ステップ85で入力端子D₁の入力はHIGHか、つまりマイナス高電圧印加時であるかどうか判断し、マイナス高電圧印加時であればステップ86に進み、プラス・マイナス両極についてバランス点からの偏差、つまり第2メモリの内容からバランス点である80Hを差し引く計算、及び80Hから第3メモリの内容を差し引く計算をする。いま、(第2メモリの内容) - 80H = A、80H - (第3メモリの内容) = Bとする。

次のステップ87でA = Bかどうか判断し、A = Bであればリターンし、そうでなければステップ87でA > BであるかA < Bであるか判断し、A > Bのときはステップ88で第1メモリの内容をカウントダウンしてリターンし、A < Bのときはステップ89で第1メモリの内容をカウントアップしてリターンする。

このようにして測定サブルーチンを経て第10図のステップ63からステップ64に進み、第1メモリ

第10図のパルス除電の場合には、ステップ60で出力端子D₁からHIGHを出力してパルス除電モードとした後、ステップ61で第13図の検査サブルーチンをコールする。すなわち、直流・パルス除電切換スイッチ24が切り換えられたときのイオン電流の大小を後述の如く検査する。次のステップ62でタイマをセット(例えば30分)した後、ステップ63で第12図の測定サブルーチンをコールする。

これがコールされると第12図において、先ずステップ80で入力端子D₁の入力はHIGHか、つまりサンプルホールド区間であるかどうか判断し、サンプルホールド区間であればステップ81で入力端子D₁の入力、つまりA-D変換回路14からの数値データを取り込み、第2メモリに記憶する。次に、ステップ82で入力端子D₁の入力はLOWか、つまりプラス高電圧印加時であるかどうか判断し、プラス高電圧印加時であればステップ83で再びサンプルホールド区間であるかどうか判断し、サンプルホールド区間であればステップ84でA-

の内容、つまり制御量を出力端子D₁からD-A変換回路19へ出力して上記のように電圧レギュレータ22を制御する。次に、ステップ65でA = Bかどうか判断し、A = Bであれば、つまりバランス点との偏差がプラス・マイナス同じであれば、第13図の検査サブルーチンをコールしてステップ62に戻り、タイマの設定時間周期でステップ63からステップ66までを繰り返す。

第13図の検査サブルーチンがコールされると、ステップ90で出力端子D₁の出力をHIGHとしてパルス除電モードとした後、ステップ91で第12図の測定サブルーチンをコールして上記のようにプラス・マイナスのイオン電流の数値データを第2メモリ及び第3メモリにそれぞれ記憶する。次に、ステップ92で直流・パルス除電切換スイッチ24が直流除電側かパルス除電側か判断し、直流除電側の場合はステップ93で出力端子D₁の出力をLOWとして直流除電モードに戻した後、ステップ94で第2メモリの内容がC0H以下か、ステップ95で第3メモリの内容が40H以上か、つまり

プラス・マイナスのイオン電流がクリーニング警報点を越えるところまで減少したかどうか判断する。減少していなければそのままリターンするが、減少していれば続いてステップ96で第2メモリの内容がA0H以下か、ステップ97で第3メモリの内容が60H以上か、つまりプラス・マイナスのイオン電流が強制停止点を越えるところまで減少したかどうか判断する。クリーニング警報点を越えたときはステップ98で出力端子D₁の出力をHIGHとしてランプ32を点滅させ、強制停止点を越えたときはステップ99で出力端子D₁の出力をLOWとして高電圧印加を停止するとともに、ステップ100で出力端子D₁の出力をHIGHとしてブザー31を鳴動させる。

第11図の直流除電の場合には、ステップ70で出力端子D₁の出力をLOWとして直流除電モードにした後、ステップ71で検査サブルーチンをコールして直流・パルス除電切替スイッチ24の切替時のイオン電流を上記のように検査し、ステップ72でタイマをセットする。この後、ステップ73で出

力端子D₁の出力をHIGHとして一時的にパルス除電モードとするとともに、測定サブルーチンをコールして上記と同様にプラス・マイナスのイオン電流の測定及びバランス点との偏差を求め、ステップ74で第1メモリの内容、つまり制御量を出力端子D₁からD-A変換回路19へ出力して上記と同様に電圧レギュレータ22を制御する。次に、ステップ75でA=Bかどうか判断し、A=Bであれば、つまりバランス点との偏差がプラス・マイナス同じであれば、ステップ76で出力端子D₁の出力をLOWとして直流除電モードに戻した後、ステップ77で検査サブルーチンをコールしてステップ72に戻り、タイマの設定時間同期でステップ73からステップ77までを繰り返す。

なお、上記の実施例ではプラス・マイナスの電極のうち一方の電極(プラス電極)に印加する電圧だけを調整してイオンバランスを図ったが、両極の電極を調整しても良く、また電圧調整ではなくパルス幅を調整することによってもイオンバランスが図れる。

【発明の効果】

以上述べたように本発明は、プラス電極とマイナス電極との間に配置した電流検出電極で、プラス電極とマイナス電極との間に流れるイオン電流を直接検出し、その値をイオン電流測定回路で測定し、その測定値に応じて、プラス電極とマイナス電極のうちの少なくとも一方の電極に印加する電圧またはパルス幅を調整回路で自動調整する。

従って、プラス・マイナスの電極が汚れる等の外部的要因によりイオン電流が変化しても、現に発生しているプラス・マイナスのイオンがバランスしているかどうかを直接検知でき、精度の高いイオンバランス制御を行える。

請求項2によれば、イオン電流の経時的変化を検知でき、請求項3によればイオン電流が所定値以下に低下したとき警報を発することができる。

バランス制御装置の一例のブロック図、第3図は第2図中のa点の出力電圧を示すグラフ、第4図は同じくb点の出力電圧を示すグラフ、第5図は直流除電時のプラス・マイナスの電極への印加電圧の波形図、第6図はプラス除電時の印加電圧波形図、第7図(A)～(F)は第2図中のg～l点の出力波形図、第8図はイオン電流の測定値に対する各制御の閾値を示すグラフ、第9図ないし第13図はCPUによる制御の流れを示すフローチャートである。

1……プラス電極、2……マイナス電極、
9……電流検出電極、16……CPU、22、23……電圧レギュレータ、25……発振器、26……カウンタ、31……除電性能低下警報用ブザー、32……クリーニング警報用ランプ。

特許出願人

春日電機株式会社

代理人

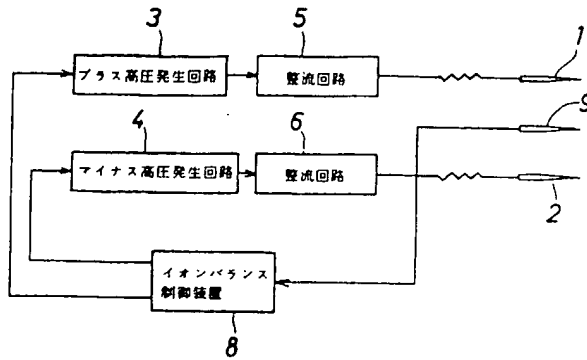
弁理士 原 田 信 市



4 図面の簡単な説明

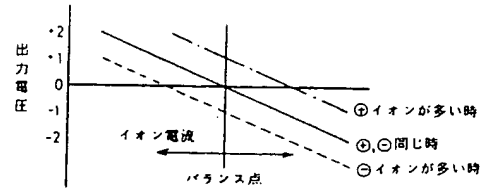
第1図は本発明によるイオンバランス制御装置と除電器の関係を示す概念図、第2図は該イオン

第1図

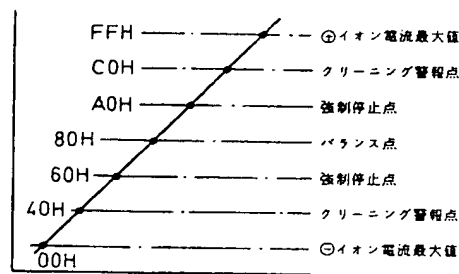


第3図

a 点の出力

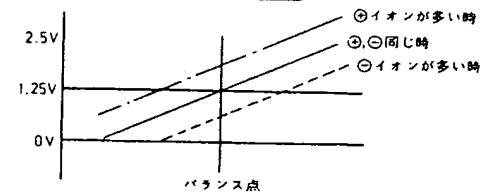


第8図

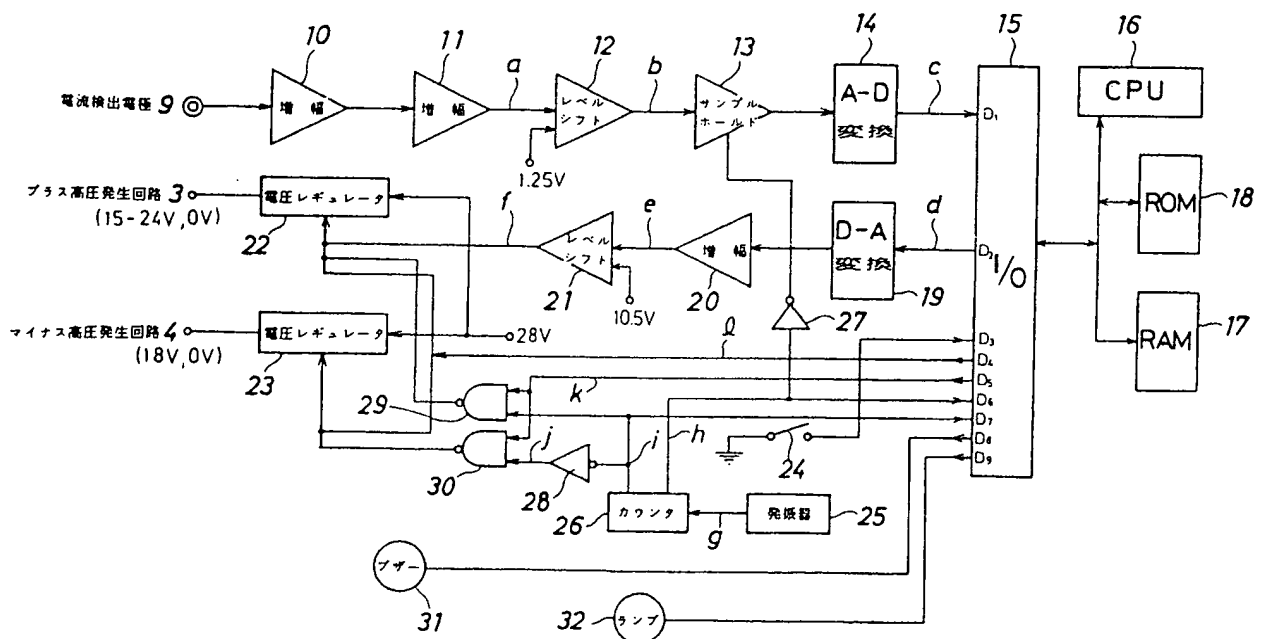


第4図

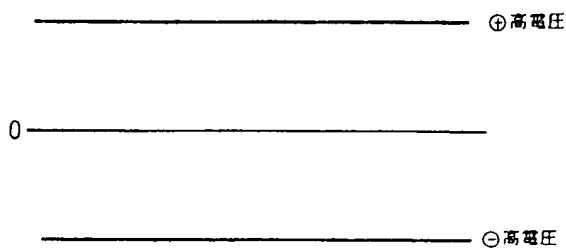
b 点の出力



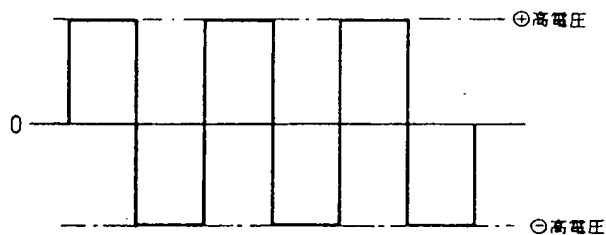
第2図



第5図



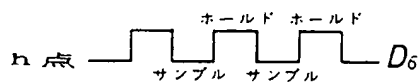
第6図



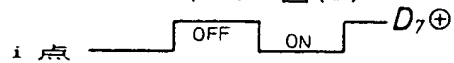
第7図(A)



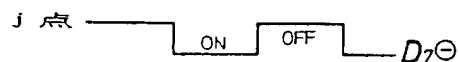
第7図(B)



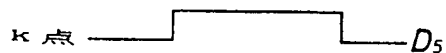
第7図(C)



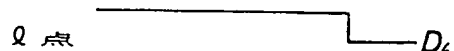
第7図(D)



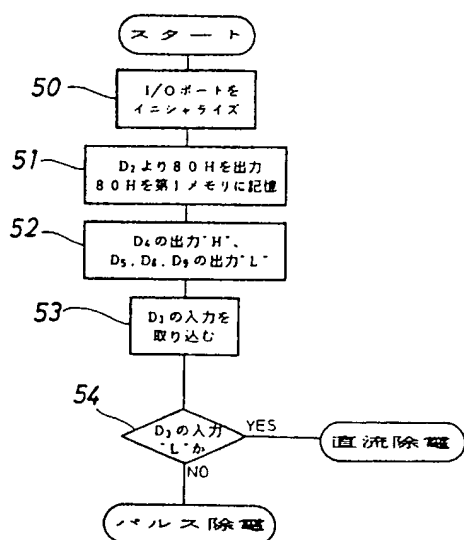
第7図(E)



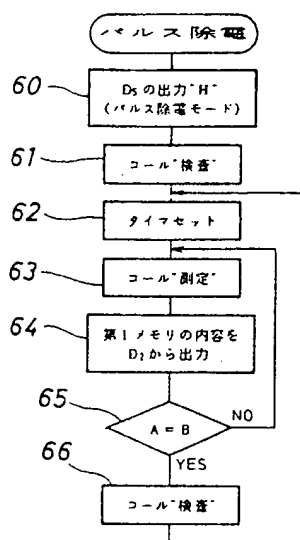
第7図(F)



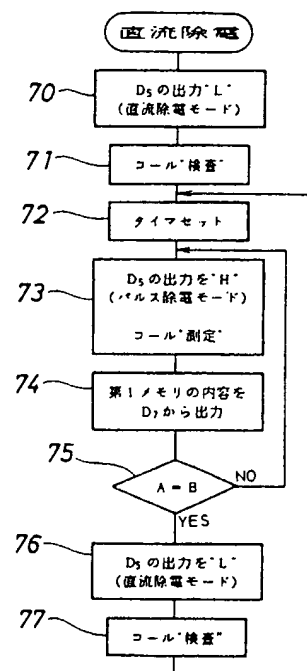
第9図



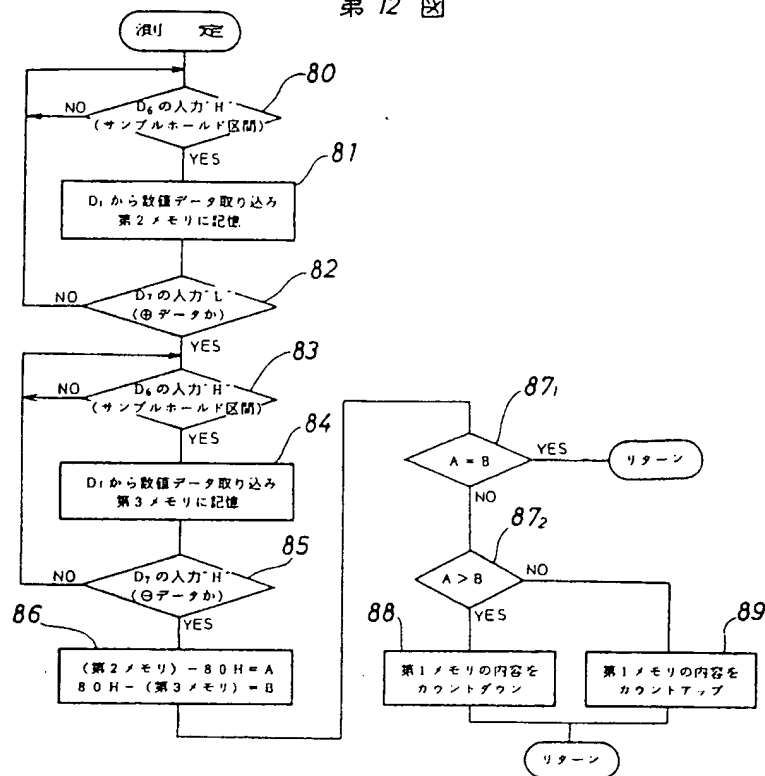
第10図



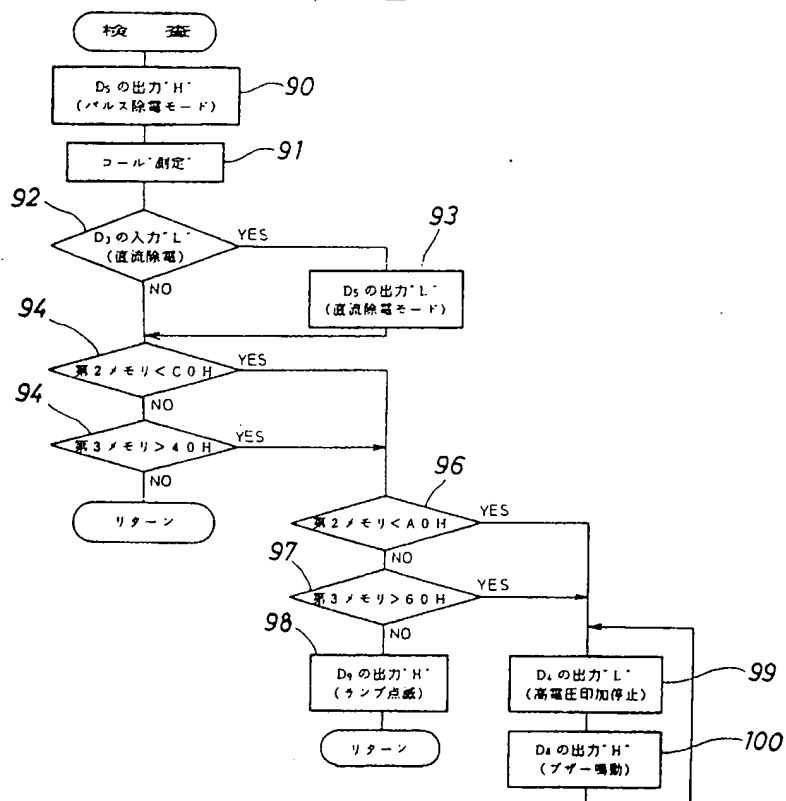
第11図



第12図



第13図



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.